

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: : **Kazuaki KURIHARA et al.**

Serial Number: **Not Yet Assigned**

Filed: **November 13, 2003**

Customer No.: 38834

For: **LAYER CAPACITOR ELEMENT AND PRODUCTION PROCESS AS WELL AS
ELECTRONIC DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

November 13, 2003

Sir:

The benefit of the filing dates of the following prior foreign applications is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-330578, filed on November 14, 2002;

Japanese Appln. No. 2003-063558, filed on March 10, 2003; and

Japanese Appln. No. 2003-094732, filed on March 31, 2003

In support of this claim, the requisite certified copy of said original foreign applications are filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 032104
Suite 700
1250 Connecticut Avenue, N.W.
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA/yap

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月14日
Date of Application:

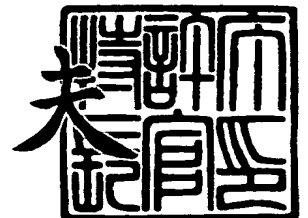
出願番号 特願2002-330578
Application Number:
[ST. 10/C]: [JP 2002-330578]

出願人 富士通株式会社
Applicant(s):

2003年 9月16日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3075557

【書類名】 特許願

【整理番号】 0241132

【提出日】 平成14年11月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04
H01L 21/822
H01L 21/283

【発明の名称】 薄膜キャパシタおよびその製造方法

【請求項の数】 8

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 塩賀 健司

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 ジョン デイビット ベネキ

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 栗原 和明

【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社

【代理人】
【識別番号】 100108187
【弁理士】
【氏名又は名称】 横山 淳一
【電話番号】 044-754-3035

【手数料の表示】

【予納台帳番号】 011280

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0017694

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜キャパシタおよびその製造方法

【特許請求の範囲】

【請求項 1】 金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有する薄膜キャパシタにおいて、

前記キャパシタと前記保護絶縁層との間に、非導電性無機質材料からなるバリア層を設けたことを特徴とする薄膜キャパシタ。

【請求項 2】 支持基板上に形成され、金属酸化物からなる誘電体層を有するキャパシタと、

非導電性無機質材料からなり、少なくとも前記キャパシタの上面及び側面を覆うバリア層と、

樹脂材からなり前記バリア層上に形成された保護絶縁層とを備えたことを特徴とする薄膜キャパシタ。

【請求項 3】 前記バリア層が、前記誘電体層と同一組成であることを特徴とする請求項 1 又は請求項 2 に記載の薄膜キャパシタ。

【請求項 4】 前記バリア層が、非晶質であることを特徴とする請求項 1 から請求項 3 のいずれかに記載の薄膜キャパシタ。

【請求項 5】 外部との電氣的接続を行なう端子を、少なくとも、パッケージの一面の端部以外に設けたことを特徴とする請求項 1 から請求項 4 のいずれかに記載の薄膜キャパシタ。

【請求項 6】 1 つの薄膜キャパシタ内に、異なる容量の複数のキャパシタを設けたことを特徴とする請求項 1 から請求項 5 のいずれかに記載の薄膜キャパシタ。

【請求項 7】 金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有する薄膜キャパシタの製造方法において、

前記キャパシタ形成工程と、

前記キャパシタと前記保護絶縁層との間に配置されるとともに、非導電性無機質材料からなるバリア層の形成工程と、

前記バリア層上に配置される保護絶縁膜形成工程とを備えたことを特徴とする

薄膜キャパシタの製造方法。

【請求項 8】 支持基板上に形成され、金属酸化物からなる誘電体層を有するキャパシタ形成工程と、

非導電性無機質材料からなり、少なくとも前記キャパシタの上面及び側面を覆うバリア層形成工程と、

樹脂材からなり前記バリア層上に配置される保護絶縁層形成工程と、を備えたことを特徴とする薄膜キャパシタの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、キャパシタに関し、より詳細には、半導体基板上に薄膜製造プロセスにてキャパシタを形成した薄膜キャパシタに関する。

【 0 0 0 2 】

【従来の技術】

近年の L S I の処理高速化により、高周波ノイズの拡散防止策としてデカップリング処理が行なわれ、そこで使用されるデカップリングキャパシタの高周波追従性能の向上が望まれている。

【 0 0 0 3 】

このデカップリングキャパシタの高周波追従性能を向上させるためには、該デカップリングキャパシタが、高容量且つ分離された回路内で低インダクタンス接続が可能であること等の特性を有することが必要であり、この要望に答えたものとして、半導体基板上に、薄膜製造プロセスにてキャパシタを形成した薄膜キャパシタが知られている。

【 0 0 0 4 】

この薄膜キャパシタは、小型高容量で且つ微細加工性に優れるため、回路基板との接続を、端子間ピッチが狭いバンプ接続の形態とすることが可能であり、それによって相互インダクタンスを減らし、L S I との低インダクタンス接続に対して有効に作用する。

【 0 0 0 5 】

しかしながら、この薄膜キャパシタは、誘電体の材料として金属酸化物を使用することで小型且つ高容量化を達成しているため、その製造工程時に、該金属酸化物が還元されて特性劣化を起こすという問題がある。

【 0 0 0 6 】

この誘電体材料の劣化に関する問題を解決するために、例えば、特許文献 1 として示した特開 2 0 0 0 - 4 9 3 1 1 号公報において、以下の提案がなされている。

【 0 0 0 7 】

図 8 及び図 9 は、上記公報で紹介されている従来の薄膜キャパシタの製造方法を、工程別に詳しく図示したものである。

【 0 0 0 8 】

先ず図 8 (A) 及び (B) に示すように、半導体基板 1 上に白金 P t からなる下部電極 2 を形成する。そして、図 8 (C) 及び (D) に示すように、その上に絶縁性金属酸化物からなる容量絶縁膜 3 と白金 P t からなる上部電極 4 を順次堆積する。

【 0 0 0 9 】

次に、図 8 (E) に示すようなエッチング工程を経て、図 9 (F) に示すように、前記上部電極 4 の上に、上部電極 4 を全面的に覆うように保護絶縁膜 6 を堆積する。

【 0 0 1 0 】

そして、図 9 (G) に示すような、レジストマスク 9 を形成するレジストマスク形成工程、及び図示しないドライエッチング工程を経て、最終的に、図 9 (H) に示すようなコンタクトホール 9 を形成する。

【 0 0 1 1 】

上記の容量素子では、レジストマスク 1 0 の除去工程で発生する水素により容量絶縁膜が還元してしまうという問題を、保護絶縁膜 6 のコンタクトホール 9 の開口部面積を $5 \mu\text{m}^2$ 以下にすること等の手段によって防止している。

【 0 0 1 2 】

【特許文献 1】

特開 2000-49311 号公報（主に、段落 [0033] - [0036]、
図 3）

【0013】

【発明が解決しようとする課題】

上述した従来の薄膜キャパシタでは、容量絶縁膜 3 を構成する絶縁性金属酸化物の還元を、保護絶縁膜 6 で遮断することにより防止している。

【0014】

しかしながら、本発明に係る薄膜キャパシタは、端子部に（低インダクタンス化を実現するための）バンプ或いはそれに類似した高密度実装が可能な接続形態を使用する。

【0015】

このような接続形態では、薄膜キャパシタを実装する回路基板と該薄膜キャパシタとの熱膨張係数の違い等により発生する機械的ストレスが、リード等の緩衝部材を介さずに、薄膜キャパシタの端子部に直接加わることになる。

【0016】

非常に薄い薄膜層からなる内部のキャパシタは、上記の機械的ストレスによる層間剥離等の問題が生じ易く、それを回避するために、保護絶縁膜として、バンプ等からの機械的応力を吸収するポリイミド等の樹脂材を使用することが必須となる。

【0017】

このために、以下のような問題が新たに発生する。

【0018】

第 1 に、保護絶縁膜の形成工程における誘電体の還元である。例えば、ポリイミド樹脂ワニス は約 400℃ で硬化しポリイミド樹脂となるが、保護絶縁膜としてのポリイミドワニス が硬化する際に、酸無水物とジアミンが脱水縮重合反応して H₂O を放出して硬化するため、その H₂O が水素イオンに分解され、誘電体材料へ到達して誘電体材料を還元する。

【0019】

これは、上記 H₂O が、キャパシタの電極を構成する白金 Pt の触媒作用により

水素イオンの状態で該電極に浸入し、その後、拡散現象等により水素イオンが該電極と誘電体との界面に到達し、誘電体部の酸素欠損を生じさせるためである。

【0020】

第2に、従来例で示したような製造工程時における問題ではないが、フィールドでの実使用時における問題である。

【0021】

これは、樹脂材が有する吸湿性により生じるものであり、薄膜キャパシタの周囲が高温になった場合、ポリイミド樹脂が吸収した空気中の水分が、高温下で内部のキャパシタへ移動し、誘電体材料を還元する。

【0022】

本発明の目的は、保護絶縁層として、バンプからの機械的応力を吸収するポリイミド等の樹脂材を使用したことに起因する、このような誘電体材料の還元に関する問題点を解決し、優れた高周波追従特性が得られるとともに特性劣化の少ない薄膜キャパシタを提供することにある。

【0023】

【課題を解決するための手段】

上記課題の目的を達成させるため、請求項1に係る発明の薄膜キャパシタは、金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有する薄膜キャパシタにおいて、前記キャパシタと前記保護絶縁層との間に、非導電性無機質材料からなるバリア層を設けたことを特徴としている。

【0024】

また、請求項2に係る発明の薄膜キャパシタは、支持基板上に形成され、金属酸化物からなる誘電体層を有するキャパシタと、非導電性無機質材料からなり、少なくとも前記キャパシタの上面及び側面を覆うバリア層と、樹脂材からなり前記バリア層上に形成された保護絶縁層とを備えたことを特徴としている。

【0025】

上記請求項1又は請求項2の構成によれば、保護絶縁層と内部のキャパシタとは、バリア層によって物理的に分離される。すなわち、保護絶縁層を構成する樹脂材から放出された水分が、キャパシタの誘電体層を構成する金属酸化膜に到達

することが阻止される。

【0026】

その結果、保護絶縁層として、バンプからの機械的応力を吸収するポリイミド等の樹脂材を使用したままで、該樹脂材から放出される水分が金属酸化物からなる誘電体層材料を還元することを防止することが可能となる。

【0027】

また、請求項3に係る発明は、請求項2に係る発明の薄膜キャパシタにおいて、バリア層が、誘電体層と同一組成であることを特徴としている。

【0028】

上記請求項3の構成によれば、バリア層を構成する材料の組成と、誘電体層を構成する材料の組成とを同じものにすることで、良好な膜密着性が確保出来る。そして、誘電体層とバリア層間の接合面に関して、機械的なストレスに対して（剥がれ等の問題が発生し難い）高い信頼性を有する薄膜キャパシタを得ることが可能となる。

【0029】

また、請求項4に係る発明は、請求項1又は3のいずれかに係る発明の薄膜キャパシタにおいて、前記バリア層が、非晶質であることを特徴としている。

【0030】

上記請求項4の構成によれば、バリア層としての高い耐還元性を得ることが可能となる。

【0031】

誘電体層の材料としては、高誘電率を得るために結晶化した金属酸化物を使用するが、結晶を構成する各結晶粒（グレイン）間に隙間が発生し、該結晶中を水素イオンが移動し易くなる。そのため、水素イオンの移動を阻止するバリア層としては、水素イオンが移動し難い非結晶材料を使用することが有効であり、そのような材料構成にすることにより、水素イオンに対する高い遮断効果を得ることが可能となる。

【0032】

また、請求項5に係る発明は、請求項1から4のいずれかに係る発明の薄膜キ

ャパシタにおいて、外部との電氣的接続を行なう端子を、少なくとも、パッケージの一面の端部以外に設けたことを特徴としている。

【0033】

上記請求項5の構成によれば、薄膜キャパシタ内部のキャパシタが大きな形状を有する場合であっても、パッケージ中央の任意の場所に端子を設けることにより、端子間隔を小さくすることができる。

【0034】

すなわち、高容量であり、且つ低インダクタンス接続が可能な薄膜キャパシタを提供することが可能となる。

【0035】

また、請求項6に係る発明は、請求項1から5のいずれかに係る発明の薄膜キャパシタにおいて、1つの薄膜キャパシタ内に、異なる容量の複数のキャパシタを設けたことを特徴としている。

【0036】

上記請求項6の構成によれば、例えば、異なる容量を有する複数のキャパシタが必要になった場合に、複数の薄膜キャパシタを実装せずに1つのパッケージを実装すれば済むため、薄膜キャパシタ20が実装される回路基板内の実装面積の効率化が図れる。

【0037】

併せて、部品コストの低減化、及び部品実装工程における実装工数の削減も可能となる。

【0038】

また、請求項7に係る発明の薄膜キャパシタの製造方法は、金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有する薄膜キャパシタの製造方法において、前記キャパシタ形成工程と、前記キャパシタと前記保護絶縁層との間に配置されるとともに、非導電性無機質材料からなるバリア層の形成工程と、前記バリア層上に配置される保護絶縁膜形成工程とを備えたことを特徴としている。

【0039】

また、請求項 8 に係る発明の薄膜キャパシタの製造方法は、支持基板上に形成され、金属酸化物からなる誘電体層を有するキャパシタ形成工程と、非導電性無機質材料からなり、少なくとも少なくとも前記キャパシタの上面及び側面を覆うバリア層形成工程と、樹脂材からなり前記バリア層上に配置される保護絶縁層形成工程とを備えたことを特徴としている。

【0040】

上記請求項 7 又は請求項 8 の構成によれば、保護絶縁層と内部のキャパシタとは、バリア層によって物理的に分離される。すなわち、保護絶縁層を構成する樹脂材から放出された水分が、キャパシタの誘電体層を構成する金属酸化物に到達することが阻止される。

【0041】

その結果、保護絶縁層として、バンプからの機械的応力を吸収するポリイミド等の樹脂材を使用したままで、該樹脂材から放出される水分による金属酸化物からなる誘電体層材料の還元を防止できる薄膜キャパシタを製造することが可能となる。

【0042】

【発明の実施の形態】

(第 1 の実施形態) 以下、本発明の第 1 の実施形態に係る薄膜キャパシタについて、図 1 ～図 3 を参照しながら、薄膜キャパシタの製造方法を示した図 2 及び図 3 の各工程 (A) ～ (J) の順に説明する。

【0043】

(i) キャパシタの形成工程

図 2 (A) ～ (D) に示すように、支持基板としてのシリコン基板 11 上に、白金からなる下部電極層 12、複合酸化物からなる誘電体層 13、白金 Pt からなる上部電極層 14 を順次形成し、キャパシタ 30 を形成する。

【0044】

ここで、誘電体層 13 の材料としては、小型で且つ大容量を実現するために、高い比誘電率をもつ金属酸化物が使用されている。

【0045】

また、キャパシタ 30 の電極（下部電極層 12 及び上部電極層 14）材料としては、高温環境下における耐酸化性に優れ、且つ誘電体層 13 形成時における良好な結晶配向制御が可能な、白金 Pt やイリジウム Ir 等の貴金属が使用される。

【0046】

これらの一連の製造工程は、具体的に以下のように行なう。

【0047】

図 2（B）に示した下部電極層 12 の形成工程としては、先ず、シリコン基板 11 としてシリコンウェハを使用し、該シリコンウェハ上に、スパッタリング法を使用して、酸化チタン TiO_2 （20 nm）及び白金 Pt（100 nm）を順次成膜させる。酸化チタン TiO_2 （20 nm）は、シリコン Si と白金 Pt との接着層としての役割を果たす。

【0048】

この時、酸化チタン TiO_2 のスパッタ条件は、基板温度 500℃、RF パワー 200 W、誘導コイルパワー 30 W、ガス圧力 0.1 Pa、及び Ar/O₂ 比 7/1 である。

【0049】

また、白金 Pt のスパッタ条件は、基板温度 400℃、DC パワー 100 W、誘導コイルパワー 30 W、ガス圧力 0.1 Pa である。

【0050】

図 2（C）に示した誘電体層 13 の形成工程では、誘電体層 13 として、バリウム Ba、ストロンチウム Sr、チタン Ti から構成される酸化物（ $Ba_xSr_{1-x}TiO_3$ （以下、「BST」という。））を使用し、該 BST 膜をゾル・ゲル法により形成する。BST 材はバルクで 1500 という比較的大きな比誘電率を有し、小型で大容量のキャパシタを実現するのに有効な材料である。

【0051】

具体的には、先ず、アルコキシドからなる出発溶液をスピコート法（2000 rpm/30 秒）により BST 膜を成膜する。尚、本スピコートでは、1 回のスピコートにつき約 100 nm の膜厚が得られる。

【 0 0 5 2 】

その後、4 0 0 ℃の温度で1 0 分間の仮焼成（プリベーク）、及び7 0 0 ℃の温度で1 0 分間の本焼成（本ベーク）を行なうことによりB S Tを結晶化させ、膜厚1 0 0 n m、比誘電率3 0 0、及び損失2 %以下のB S T薄膜を形成する。

【 0 0 5 3 】

図2（D）に示した上部電極層1 4の形成工程では、B S Tからなる誘電体層1 3上に、前述と同じスパッタ法を使用して、上部電極層1 4としての白金P t層を1 0 0 n m成膜する。

【 0 0 5 4 】

尚、キャパシタ3 0の側面は、図1に示すように、下の層の端部が、上の層の端部よりも外側に張り出した、階段上に形成される。

【 0 0 5 5 】

このように、階段状にして張り出し部を設けることにより、製造過程で白金材の断片（パーティクル）が発生した場合、その張り出し部で断片を受け止め、断片が誘電体層の側面に付着し、電極間のショートを引き起こすことを防止する。

【 0 0 5 6 】

（ii）下部電極引き出し工程

図2（E）に示すように、下部電極層1 2からの電極引き出し用穴2 1を形成する。

【 0 0 5 7 】

具体的には、フォトリソグラフィ法によりレジストマスクを形成した後、アルゴンA r イオンミリング法により、上部電極層1 4を構成するP t膜、及び、誘電体層1 3を構成するB S T膜を、順次ドライエッチングすることにより行なう。

【 0 0 5 8 】

（iii）バリア層形成工程

図2（F）に示すように、前記キャパシタ3 0（の上面及び側面）を覆うように、バリア層1 5を形成する。

【 0 0 5 9 】

具体的には、バリア層 15 の材料として使用する窒化シリコン Si_3N_4 を、スパッタ法により約 $150\text{ }\mu\text{m}$ 成膜する。窒化シリコン Si_3N_4 の他には、酸化アルミニウム Al_2O_3 、酸化シリコン SiO_2 等も、バリア層 15 の材料として使用可能である。

【0060】

このときのスパッタ条件は、基板温度 200°C 、RF パワー 500 W 、ガス圧力 0.1 Pa 、及び Ar/N_2 比 $5/1$ である。

【0061】

このように、バリア層 15 としては、非導電性無機質材料に属する酸化アルミニウム Al_2O_3 、酸化シリコン SiO_2 、及び窒化シリコン Si_3N_4 等が使用可能であるが、フィールド中で激しい温度変化に曝された際の機械的なストレスによる層間剥離等の問題が発生しないように、誘電体層 13 と熱膨張係数が等しい材料であることが望ましい。

【0062】

バリア層 15 を構成する材料の熱膨張係数と、誘電体層 13 を構成する材料の熱膨張係数とを同じものにするすることで、熱膨張の差により発生する層間の歪みによる剥がれ等を防止し、高い信頼性を有する薄膜キャパシタを得ることが可能となる。

【0063】

また、前記バリア層 15 の材料は、キャパシタを構成する誘電体層 13 との密着性を良好にするために、キャパシタを構成する誘電体層 13 の材料と同一組成であることが望ましい。

【0064】

バリア層 15 を構成する材料の組成を、誘電体層 13 を構成する材料の組成と同じものにするすることで、良好な膜密着性が確保出来る。そして、誘電体層 13 とバリア層 15 間の接合面に関して、機械的なストレスに対して高い信頼性を有する薄膜キャパシタ 20 を得ることが可能となる。

【0065】

更に、バリア層 15 の材料は、非晶質の材料であることが望ましい。

【0066】

一般に、誘電体層 13 は、高誘電率を得るために結晶化した金属酸化物を使用するが、結晶中には、結晶を構成する各結晶粒（グレイン）間に隙間が発生し、該結晶中を水素イオンが移動し易くなる。そのため、水素イオンの移動を阻止するバリア層 15 としては、水素イオンが移動し難い非結晶材料を使用することが有効である。そのような材料構成にすることにより、水素イオンに対する高い遮断効果を得ることが可能となる。

【0067】

(iv) 保護絶縁層形成工程

図 2 (G) に示すように、バリア層 15 の上から、例えばポリイミド樹脂からなる保護絶縁層 16 を形成する。

【0068】

先ず、感光性ポリイミドワニス、3000 rpm で 30 秒間、スピコートを行ない、4 μ m 成膜する。そして、60℃の温度で 10 分間、加熱（プリベーク）し、その後、露光、現像工程を経て、400℃の温度で 2 時間、加熱（本ベーク）を行ない、2 μ m 厚のポリイミド P I 膜を形成する。

【0069】

(v) コンタクトホール形成工程

図 2 (H) に示すように、コンタクトホール 19 を形成して、下部電極層 12 及び上部電極層 14 を露出させる。

【0070】

具体的にはフォトリソグラフィ法により図示しないレジストマスクを形成した後、アルゴン A r イオンミリング法により、窒化シリコン S i₃N₄ 膜をドライエッチングすることにより、キャパシタの上部および下部電極を露出させる。

【0071】

(vi) 電極パッド・バンプ形成工程

図 2 (I) に示すように、アンダーバンプメタル (UBM) として、キャパシタ 30 の各電極とバンプとを接続する電極パッド 17 を、スパッタ及びめっきにより形成する。そして、最後に、図 2 (J) に示すように、該電極パッド 17 上

に、回路基板と電気的な接続を行なう端子としてのバンプ18を形成する。

【0072】

尚、バンプ18の材料としては、一般に半田が使用されるが、半田材料が電極パッド17中に拡散して、電極層を構成する白金Ptと反応し、該白金の抵抗値を変えてしまう等の問題が起こり得る。そのため、電極パッド17の材料としては、上記半田侵食の回避、及び半田濡れ性の向上等を考慮して、クロムCr、チタンTi、銅Cu、ニッケルNi等を使用することが望ましい。

【0073】

以上の製造工程により、図1に示す薄膜キャパシタ20が形成される。

【0074】

図1の薄膜キャパシタ20において、吸湿性を有し所定の条件下で水分を放出するポリイミド樹脂（保護絶縁層16）と、キャパシタ30とは、物理的に分離される。すなわち、ポリイミド樹脂から放出される水分がイオン化されていない状態で、触媒作用を有する電極部に到達する前に遮断するため、ポリイミド樹脂から放出された水分が、触媒作用を有する白金Pt（上部電極層14）表面に到達することが阻止される。

【0075】

従って、上部電極層14と誘電体層13との界面で、誘電体層13を構成する金属酸化物が還元されるという問題は回避される。

【0076】

このように、保護絶縁層16として、バンプからの機械的応力を吸収するポリイミド等の樹脂材を使用したままで、該樹脂材から放出される水分が金属酸化物からなる誘電体層材料を還元することを防止することができる。その結果、優れた高周波追従特性が得られるとともに特性劣化の少ない薄膜キャパシタ20を提供することが可能となる。

【0077】

（キャパシタ特性の比較実験）以下に、バリア層15を使用しない場合と、バリア層15を使用した場合における、薄膜キャパシタのキャパシタ特性を比較した実験結果を示す。

【0078】

図4は本実験の測定回路、図5は本実験の測定結果を示したグラフである。

【0079】

尚、本実験では、バリア層15として窒化シリコン Si_3N_4 、下部電極層12及び上部電極層14の材料としては白金Pt、誘電体材料としてはBSTを使用した。

【0080】

先ず、シリコン基板11上にキャパシタ30を形成し、キャパシタ30の下部電極層12を引き出すための引き出し部21を作成し、その状態を初期状態とした。そして、その（保護絶縁層16としてのポリイミド樹脂を形成する前の）初期状態のキャパシタ特性を測定するとともに、バリア層15を形成した場合とバリア層15を形成しない場合における（保護絶縁層16としてのポリイミド樹脂を形成した後の）キャパシタの各特性を測定した。

【0081】

測定には、図4のような回路構成を使用し、キャパシタ30の各電極に、50mV_{pp}の交流電圧を印加することにより行なう。このとき、所定の直流電圧も同時に印加している。

【0082】

図5（A）及び図5（B）は、本実験における実験結果を示したグラフである。図5（A）は印加電圧（V）に対する容量（ $\mu\text{F}/\text{cm}^2$ ）特性、図5（B）は印加電圧（V）に対する誘電損失（%）特性を示す。

【0083】

これらの各グラフにおいて、点線のグラフ（a）は、保護絶縁層16としてのポリイミド樹脂が形成される前の初期特性である。

【0084】

実線のグラフ（b）は、バリア層15を使用していない薄膜キャパシタについて、保護絶縁層16としてのポリイミド樹脂が形成された後の特性である。

【0085】

実線のグラフ（c）は、バリア層15を使用した薄膜キャパシタについて、保

保護絶縁層 16 としてのポリイミド樹脂が形成された後の特性である。

【0086】

図 5 (B) のように、バリア層 15 を使用していない薄膜キャパシタの方は、保護絶縁層 16 としてのポリイミド樹脂が形成された後に、誘電損失 ($\tan \delta$) の上昇が観察される。その結果として、図 5 (A) の (b) のように、バリア層 15 を使用していない薄膜キャパシタの方は、保護絶縁層 16 としてのポリイミド樹脂が形成された後に、容量の劣化が観察される。

【0087】

それに対して、バリア層 15 を使用している薄膜キャパシタの方は、ポリイミド樹脂が形成された後であっても、(ポリイミド樹脂が形成される前の) 初期状態と比較した誘電損失の上昇、及び容量劣化は観察されない。

【0088】

このように、キャパシタ 30 をバリア層 15 で覆い、上部電極層 14 への水素の進入を防ぐことにより、誘電体材料の特性劣化を抑制することができる。

【0089】

(第 2 の実施形態) 以下、本発明の第 2 の実施形態に係る薄膜キャパシタの製造方法について説明する。

【0090】

本実施形態を示した図としては、第 1 の実施形態と同じもの (図 2 及び図 3) を使用する。

【0091】

本実施形態は、第 1 の実施形態に対して、図 2 (C) に示した誘電体層 13 の形成工程を、(ゾルゲル法ではなく、) スパッタリング法を使用して行なったものである。そして、更に、図 2 (F) に示したバリア層 15 形成工程において、バリア層 15 として、誘電体層 13 と同一組成の BST 材であって、非結晶状態のものを使用した。

【0092】

先ず、第 1 の実施形態と同様に、図 2 (A) ~ (D) に示すように、シリコン基板 11 としてシリコンウェハを使用し、該シリコンウェハ上に、スパッタリン

グ法を使用して、酸化チタン TiO_2 (20 nm) 及び白金 Pt (100 nm) を順次成膜させる。尚、ここで、下部電極材料としてイリジウム Ir を使用してもよい。

【0093】

尚、誘電体層 13 形成工程における BST のスパッタは、具体的に以下の条件で行なう。

【0094】

基板温度 600℃、Ar/O₂ 比 8/1、ガス圧力 0.4 Pa、RF パワー 800 W で成膜を行ない、BST 膜厚 100 nm、誘電率 400、誘電損失 1% 以下の誘電体膜を形成する。

【0095】

BST 誘電体層 13 の上には、前述と同じスパッタ法 (基板温度 400℃) で、上部電極層 14 としての白金 Pt 膜 (100 nm) を形成する。

【0096】

次に、図 2 (E) に示す下部電極引き出し工程では、下部電極層 12 を引き出すために、アルゴン Ar イオンミリング法により、上部電極層 14 としての白金 Pt 膜及び誘電体層 15 としての BST 膜に対して、順次ドライエッチングを実施する。

【0097】

図 2 (F) に示すバリア層形成工程では、バリア層 15 として、アモルファス BST 薄膜をスパッタ法により 150 nm 成膜する。条件は、基板温度 200℃、Ar/O₂ 比 8/1、ガス圧力 0.2 Pa、RF パワー 800 W で行なう。低温で成膜を行なうことにより、BST は結晶化せず、アモルファス状態の BST を得ることができる。

【0098】

以下、図 2 (G) ~ (J) に示した工程では、第 2 の実施形態と同様に、感光性ポリイミド樹脂を使用して保護絶縁膜 16 を形成した後、電極パッド 17 及びバンプ 18 を形成することにより、薄膜キャパシタ 20 を生成する。

【0099】

本実施形態によれば、バリア層 15 と誘電体層 13 とを同一組成とし、更に、バリア層 15 の材料をアモルファス状態のものとしたにより、バリア層 15 と誘電体層 13 とが高密着性を有し、且つバリア層 15 が高い水素イオン遮断効果（すなわち、高い耐還元性の効果）を有する薄膜キャパシタ 20 を製造することが可能となる。

【0100】

また、誘電体層 13 を形成する BST 材をスパッタ法で行なっていることにより、キャパシタ 30 の形成が全て真空中で行なわれることになるため、薄膜キャパシタ 20 を簡易な工程で製造することが可能となる。

【0101】

（第 3 の実施形態）以下、本発明の第 3 の実施形態に係る薄膜キャパシタについて、図 6（A）、図 6（B）を参照しながら説明する。

【0102】

図 6（A）は、薄膜キャパシタの外観図であり、図 6（B）は、図 6（A）の X-X' 線断面図である。

【0103】

本実施形態は、第 1 の実施形態における薄膜キャパシタの応用例であり、図 6（A）のように、薄膜キャパシタの一方の面上に、薄膜キャパシタの端子として、複数のバンプが縦横に並んだ状態に配置されている。そして、それら複数のバンプ 18 は、隣り合うバンプが、キャパシタ 30 の異なる電極に接続される構成になっている。

【0104】

すなわち、各バンプは、1 つおきに同じ電極と電氣的に接続されており、その接続先のキャパシタ 30 は、図 6（B）のように、内部で共通になっている。

【0105】

各バンプの外部との接続に関しては、バンプ 18 a が（図示しない）回路基板の電源ラインに接続され、バンプ 18 b が該回路基板の GND ラインに、それぞれ電氣的に接続される。そして、その回路基板の電源、GND ラインは、回路基板上に実装される（図示しない）LSI 等に接続される。

【0106】

このように、薄膜キャパシタ20は、本薄膜キャパシタ20が実装される回路基板との端子が、そのパッケージの端部に限定されず、その（パッケージの）中央部にも設けられている。

【0107】

このため、薄膜キャパシタ20内部のキャパシタ30が大きな形状を有する場合であっても、パッケージ中央の任意の場所に端子を設けることにより、電源ーGND間の端子間隔を小さくし、LSIと薄膜キャパシタとを接続する電源及びGNDの配線の全範囲に亘って、狭配線間隔にすることができる。

【0108】

すなわち、薄膜キャパシタ20は、高容量であり、且つ低インダクタンス接続が可能であり（高周波特性が改善される）という、デカップリングキャパシタとして最適な条件を備えることになる。

【0109】

以上のように、本実施形態によれば、高容量で且つ高周波特性の優れた薄膜キャパシタを提供することが可能となる。

【0110】

（第4の実施形態）以下、本発明の第4の実施形態に係る薄膜キャパシタについて、図7を参照しながら説明する。

【0111】

図7は、薄膜キャパシタを上面から見た図であり、図中の符号31はキャパシタ30が存在するキャパシタエリアを示したものである。

【0112】

本実施形態は、第3の実施形態における薄膜キャパシタの応用例であり、図7に示すように、1つの薄膜キャパシタ20に、大きさの異なる複数のキャパシタ30a、30b、30cが並べて配置されている。

【0113】

ここでの各キャパシタの容量は、該キャパシタが占める面積に大略比例して決定する。例えば、キャパシタbは、キャパシタaの2倍の面積を占めており、キ

ャパシタ a の略 2 倍の容量を有している。

【0114】

このような構成にすることにより、例えば、異なる容量を有する複数のキャパシタが必要になった場合に、複数の薄膜キャパシタを実装せずに 1 つのパッケージを実装すれば済むため、薄膜キャパシタ 20 が実装される（図示しない）回路基板内の実装面積の効率化が可能になる。

【0115】

また、本実施形態による他の効果としては、デカップリングキャパシタに関する部品の低コスト化、及び部品実装時における実装工数の削減、等の効果が期待できる。

【0116】

以下本発明の諸形態を付記としてまとめて記載する。

【0117】

（付記 1） 金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有する薄膜キャパシタにおいて、

前記キャパシタと前記保護絶縁層との間に、非導電性無機質材料からなるバリア層を設けたことを特徴とする薄膜キャパシタ。

【0118】

（付記 2） 支持基板上に形成され、金属酸化物からなる誘電体層を有するキャパシタと、

非導電性無機質材料からなり、少なくとも前記キャパシタの上面及び側面を覆うバリア層と、

樹脂材からなり前記バリア層上に形成された保護絶縁層とを備えたことを特徴とする薄膜キャパシタ。

【0119】

（付記 3） 前記バリア層が、前記誘電体層と熱膨張係数が同じ材料であることを特徴とする付記 1 から付記 2 のいずれかに記載の薄膜キャパシタ。

【0120】

（付記 4） 前記バリア層が、前記誘電体層と同一組成であることを特徴とす

る付記 1 から付記 2 のいずれかに記載の薄膜キャパシタ。

【0121】

(付記 5) 前記バリア層が、酸化アルミニウム又は酸化シリコン又は窒化シリコンのいずれかであることを特徴とする付記 1 から付記 2 のいずれかに記載の薄膜キャパシタ。

【0122】

(付記 6) 前記バリア層が、非晶質であることを特徴とする付記 1 から付記 5 のいずれかに記載の薄膜キャパシタ。

【0123】

(付記 7) 前記誘電体層の材料として、ストロンチウム、バリウム、鉛、亜鉛、ビスマス、タンタル、チタン、マグネシウム、及びニオブの少なくとも一つを含む複合酸化物を使用することを特徴とする付記 1 から付記 6 のいずれかに記載の薄膜キャパシタ。

【0124】

(付記 8) 前記キャパシタの側面が、上の層の端部よりも下の層の端部が張り出した階段状であることを特徴とする付記 1 から付記 7 のいずれかに記載の薄膜キャパシタ。

【0125】

(付記 9) 外部との電氣的接続を行なう端子を、少なくとも、パッケージの一面の端部以外に設けたことを特徴とする付記 1 から付記 8 のいずれかに記載の薄膜キャパシタ。

【0126】

(付記 10) 前記端子と前記キャパシタを接続する電極パッドが、前記保護絶縁層にて支持されていることを特徴とする付記 9 に記載の薄膜キャパシタ。

【0127】

(付記 11) 1つの薄膜キャパシタ内に、異なる容量の複数のキャパシタを設けたことを特徴とする付記 1 から付記 10 のいずれかに記載の薄膜キャパシタ。

【0128】

(付記 12) 金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有する薄膜キャパシタの製造方法において、

前記キャパシタ形成工程と、

前記キャパシタと前記保護絶縁層との間に配置されるとともに、非導電性無機質材料からなるバリア層の形成工程と、

前記バリア層上に配置される保護絶縁膜形成工程とを備えた

ことを特徴とする薄膜キャパシタの製造方法。

【0129】

(付記 13) 支持基板上に形成され、金属酸化物からなる誘電体層を有するキャパシタ形成工程と、

非導電性無機質材料からなり、少なくとも少なくとも前記キャパシタの上面及び側面を覆うバリア層形成工程と、

樹脂材からなり前記バリア層上に配置される保護絶縁層形成工程とを備えたことを特徴とする薄膜キャパシタの製造方法。

【0130】

(付記 14) 前記誘電体層を形成する工程は、スパッタ法にて行なうことを特徴とする付記 13 に記載の薄膜キャパシタの製造方法。

【0131】

【発明の効果】

以上のように、本発明の薄膜キャパシタは、金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層とを有し、前記キャパシタと前記保護絶縁層との間に、非導電性無機質材料からなるバリア層を設けた構成をしている。

【0132】

このような構成を備えることにより、保護絶縁層として、バンプからの機械的応力を吸収するポリイミド等の樹脂材を使用したままで、該樹脂材から放出される水分が金属酸化物からなる誘電体層材料を還元することを防止することができる。その結果、優れた高周波追従特性が得られるとともに特性劣化の少ない薄膜キャパシタを提供することが可能となる。

【図面の簡単な説明】**【図 1】**

本発明の第 1 の実施形態に係る薄膜キャパシタの断面図である。

【図 2】

本発明の第 1 の実施形態に係る薄膜キャパシタの製造方法の各工程を示す断面図である。

【図 3】

本発明の第 1 の実施形態に係る薄膜キャパシタの製造方法の各工程を示す断面図である。

【図 4】

本発明の薄膜キャパシタに関するキャパシタ特性の測定実験における測定回路図である。

【図 5】

本発明の薄膜キャパシタに関するキャパシタ特性の測定実験における測定結果のグラフである。

【図 6】

本発明の第 3 の実施形態に係る薄膜キャパシタの外観図及び断面図である。

【図 7】

本発明の第 4 の実施形態に係る薄膜キャパシタを上面から見た全体構成図である。

【図 8】

従来の薄膜キャパシタの製造方法の各工程を示す断面図である。

【図 9】

従来の薄膜キャパシタの製造方法の各工程を示す断面図である。

【符号の説明】

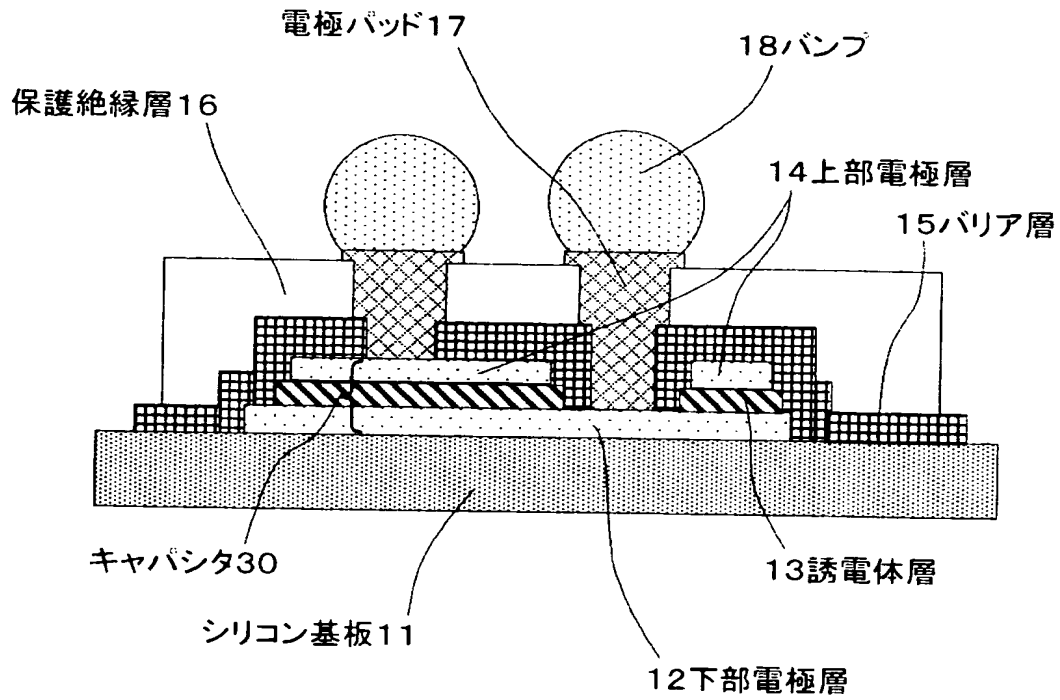
- 1：半導体基板
- 2：下部電極
- 3：容量絶縁膜
- 4：上部電極

- 6：保護絶縁層
- 9：コンタクトホール
- 10：レジストマスク
- 11：シリコン基板
- 12：下部電極層
- 13：誘電体層
- 14：上部電極層
- 15：バリア層
- 16：保護絶縁層
- 17：電極パッド
- 18：バンプ
- 18 a：電源ラインに接続されたバンプ
- 18 b：GNDラインに接続されたバンプ
- 19：コンタクトホール
- 20：薄膜キャパシタ
- 21：電極引き出し用穴
- 30：キャパシタ
- 30 a：キャパシタ a
- 30 b：キャパシタ b
- 30 c：キャパシタ c
- 31：キャパシタエリア

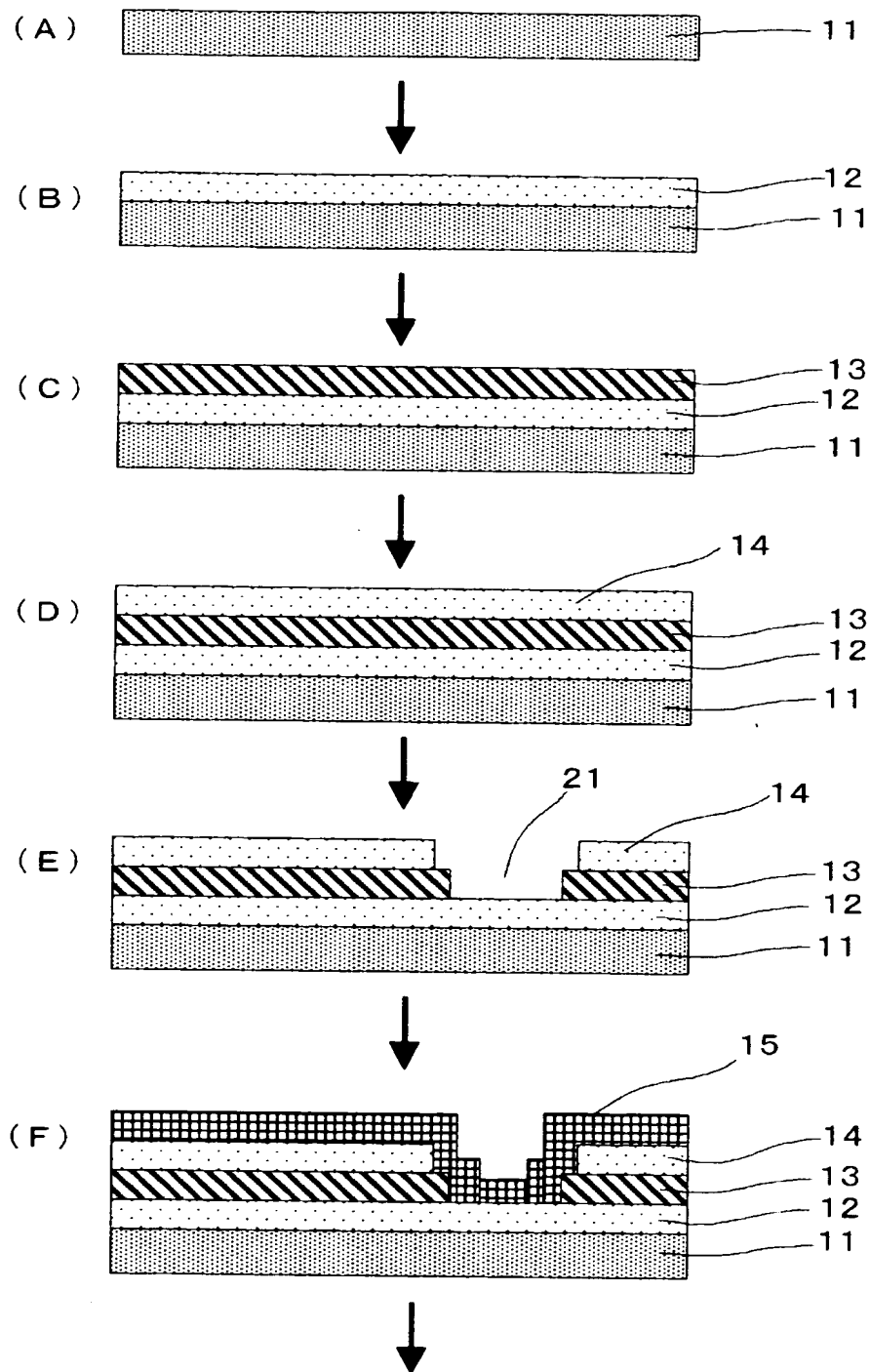
【書類名】 図面

【図1】

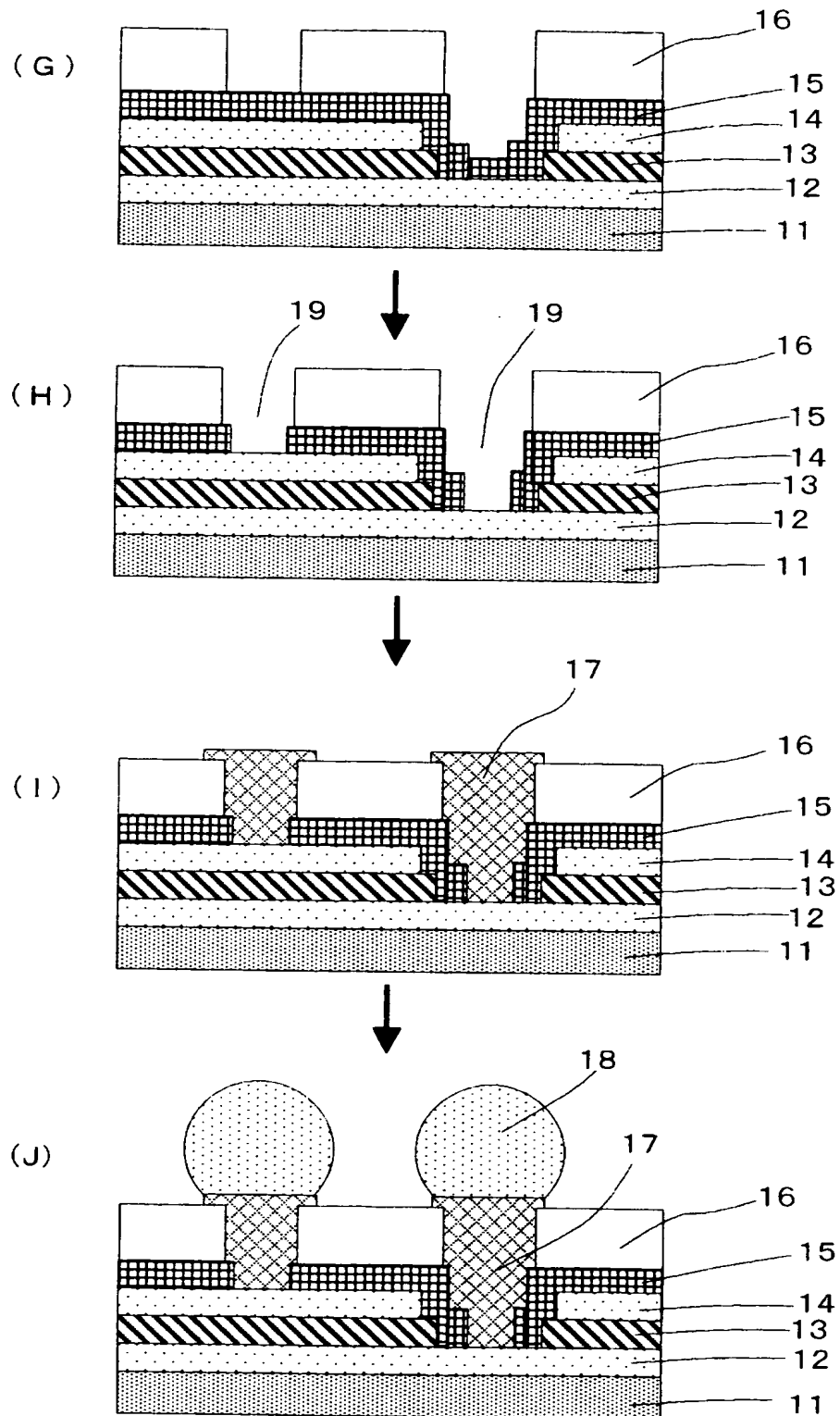
薄膜キャパシタ20



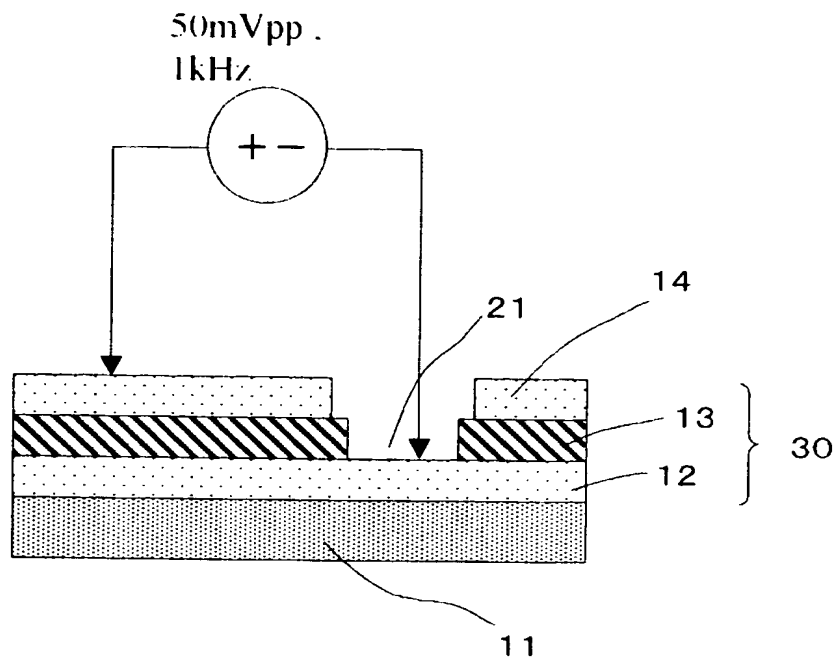
【図 2】



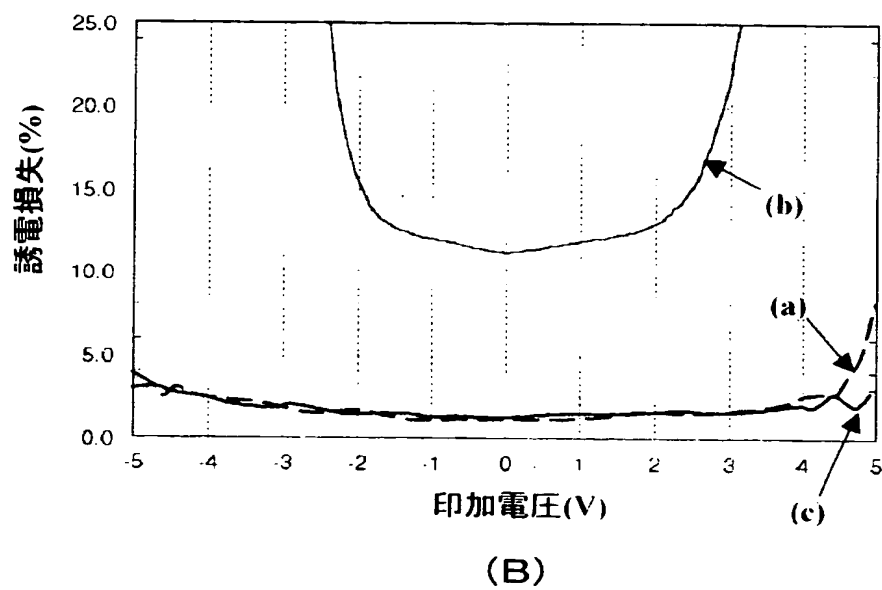
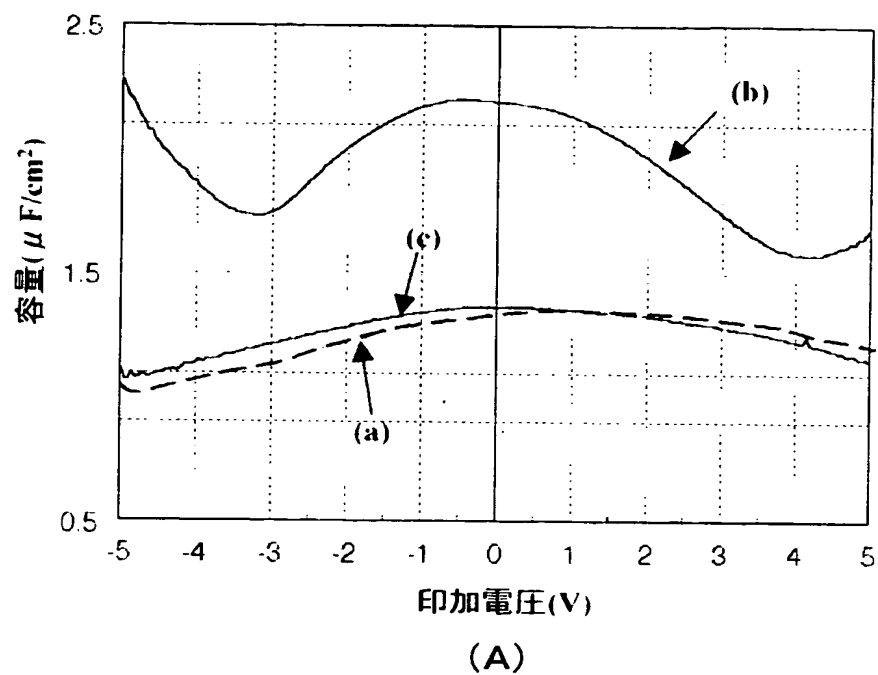
【図 3】



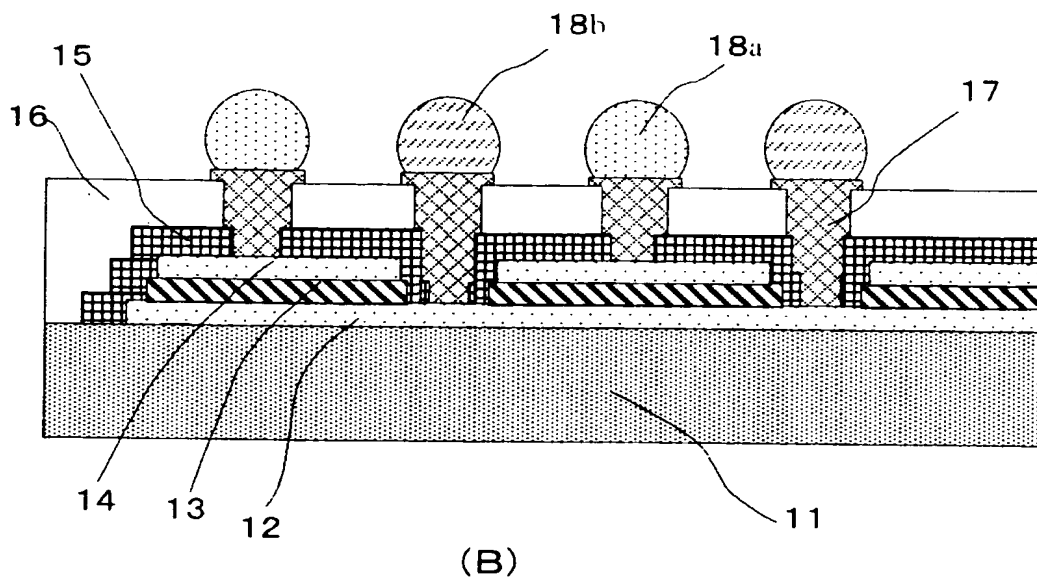
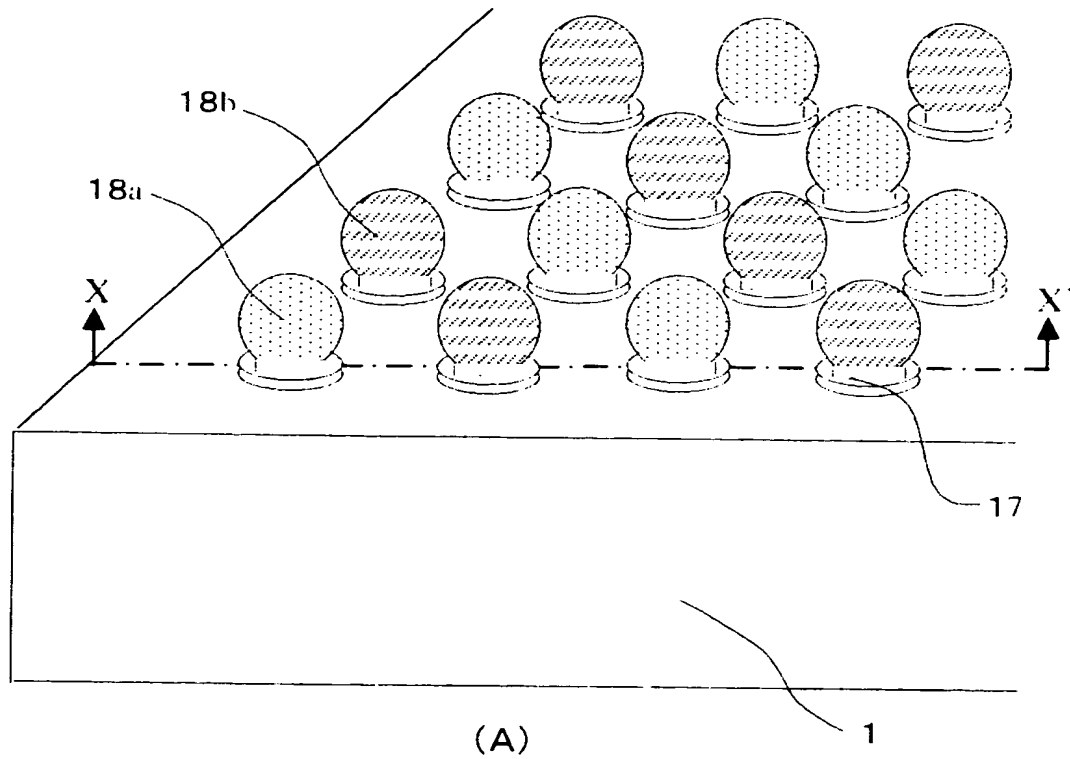
【図 4】



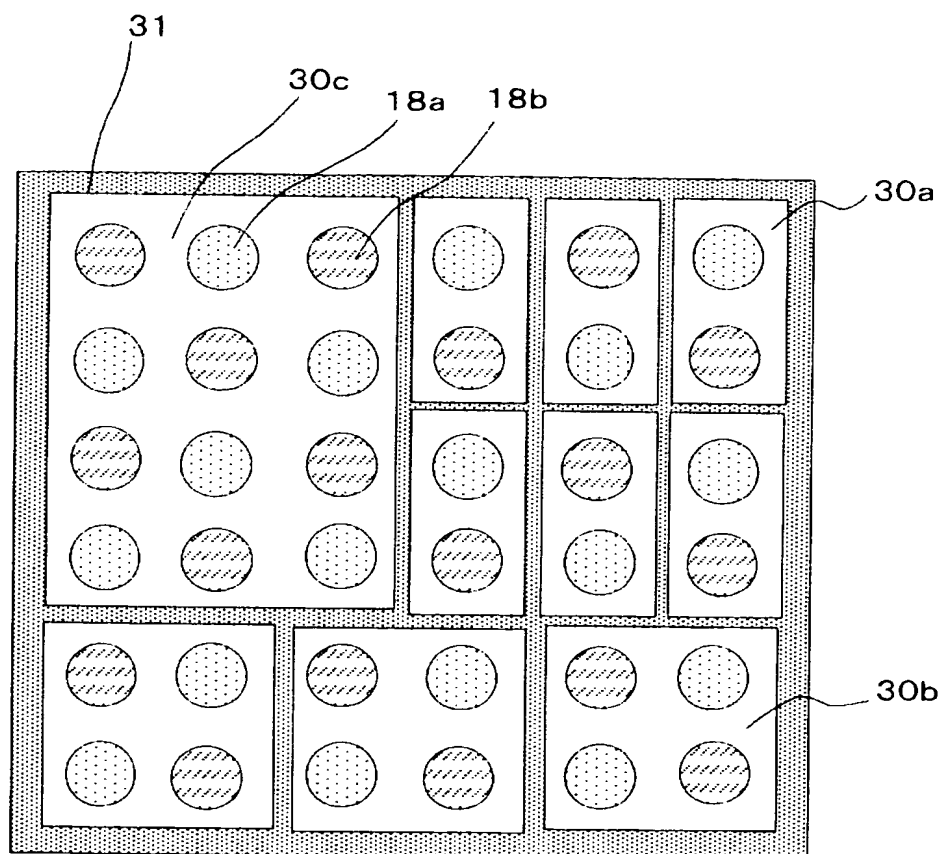
【図 5】



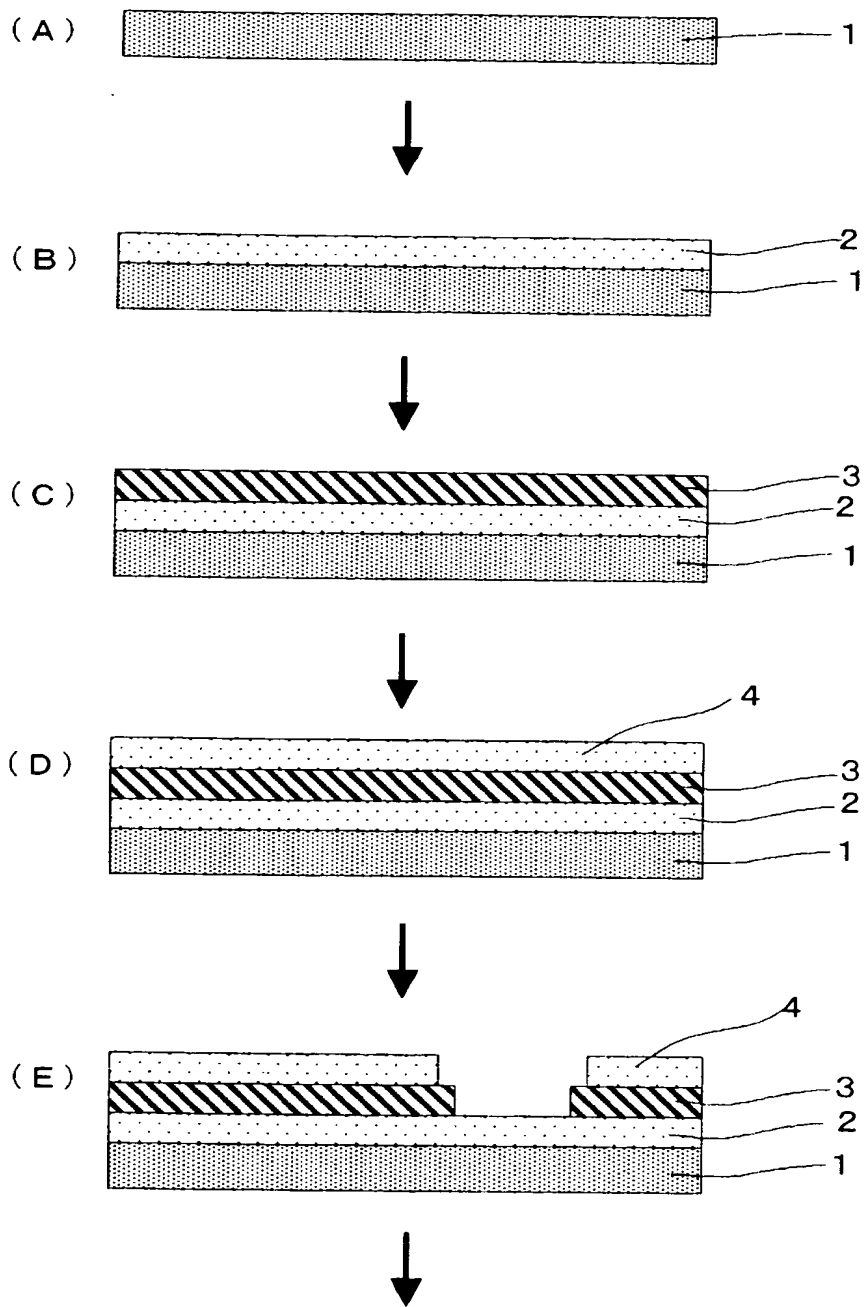
【図6】



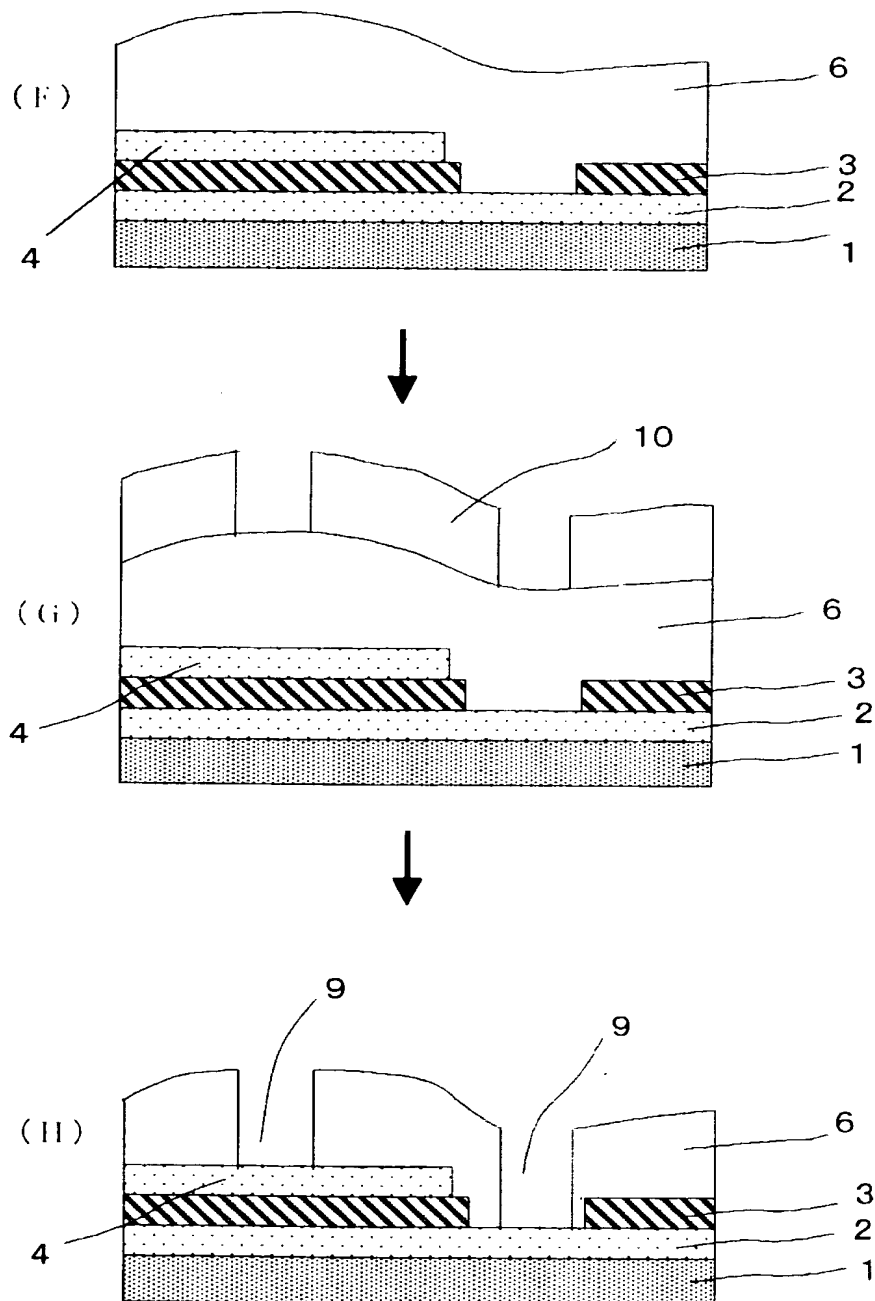
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 保護絶縁層として、バンプからの機械的応力を吸収するポリイミド等の樹脂材を使用したことに起因する誘電体材料の還元を回避し、優れた高周波追従特性が得られるとともに特性劣化の少ない薄膜キャパシタを提供すること。

【解決手段】 金属酸化物からなる誘電体層を有するキャパシタと、樹脂材からなる保護絶縁層と、を有する薄膜キャパシタにおいて、前記キャパシタと前記保護絶縁層との間に、非導電性無機質材料からなるバリア層を設ける。

【選択図】 図 1

特願 2 0 0 2 - 3 3 0 5 7 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社